

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-194012

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

G02F 1/136  
G02F 1/1345  
G09F 9/30  
H01L 29/786  
H01L 21/336

(21)Application number : 10-371424

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.12.1998

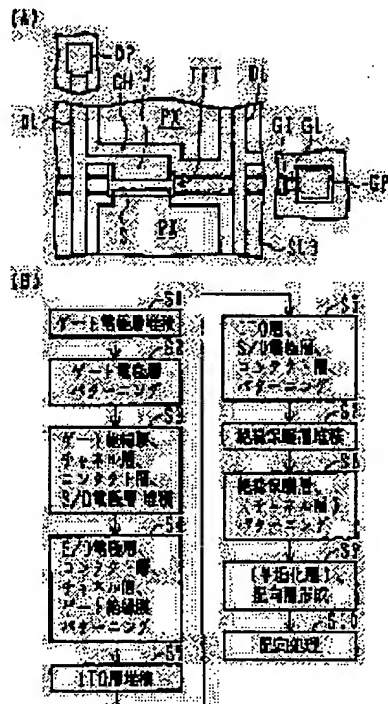
(72)Inventor : NASU YASUHIRO  
ITOGA MASANAO  
HIROTA SHIRO  
MAJIMA NIWAJI  
SUKENORI HIDETOMO

## (54) PRODUCTION OF THIN-FILM TRANSISTOR MATRIX AND THIN-FILM TRANSISTOR MATRIX

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make it possible to produce a TFT matrix having high display performance with a small number of sheets of masks by etching a second metallic layer by using the mask at the time of patterning a transparent conductive layer.

**SOLUTION:** Resist patterns are formed on the gate electrode layer deposited on an insulating substrate SUB and are patterned to the shape of gate lines GL (S1, S2). Resist patterns are formed on the laminated structure of the gate insulating layers, etc., formed on the insulating substrate SUB so as to cover the gate lines GL. The laminated structure including a metallic layer for S/D electrodes, a contact layer, etc., is patterned and an ITO layer which is a transparent conductive layer is deposited on the insulating substrate SUB so as to cover the same (S3, 4, 5). Resist patterns are formed on the ITO layer and the ITO layer, the metallic layer for the S/D electrodes and the contact layer are patterned by etching (S6). Resist patterns are formed on the insulating protective layer deposited over the entire surface of the substrate SUB and the insulating protective layer and channel layer exposed in apertures are removed (S7, 8).



## LEGAL STATUS

[Date of request for examination]

07.09.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-194012

(P2000-194012A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 2 F 1/136	5 0 0	C 0 2 F 1/136	5 0 0 2 H 0 9 2
1/1345		1/1345	5 C 0 9 4
G 0 9 F 9/30	3 3 7	G 0 9 F 9/30	3 3 7 5 F 1 1 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 D
21/336			6 2 7 C

審査請求 未請求 請求項の数9 O L (全 11 頁)

(21) 出願番号 特願平10-371424

(22) 出願日 平成10年12月25日 (1998. 12. 25)

(71) 出願人 000003223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 那須 安宏

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 糸賀 正直

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100091340

弁理士 高橋 敬四郎

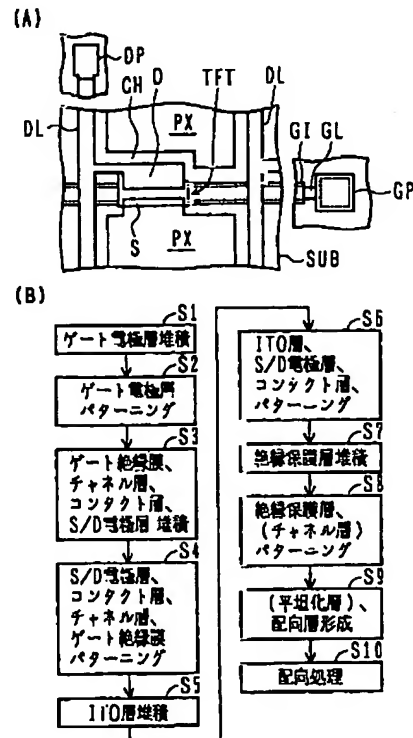
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタマトリクス製造方法及び薄膜トランジスタマトリクス

## (57) 【要約】

【課題】 高い表示性能を有するTFTマトリクスを少ないマスク枚数で製造することのできるTFTマトリクスの製造方法を提供する。

【解決手段】 絶縁基板に、第1の金属層で形成され、ゲート電極、接続端子を含む複数のゲートラインを形成する工程と、ゲート絶縁層、半導体層、第2の金属層をこの順序で含む積層を、複数のゲートラインを覆って、成膜する工程と、接続端子以外の複数のゲートラインと、複数のゲートラインと交差する複数のドレインラインと、複数のゲートラインと複数のドレインラインとの交点の各々の近傍に配置され、ドレインラインに接続され、ゲート電極を跨ぐ薄膜トランジスタ領域とを含むパターンに積層をパターンニングする工程と、複数のドレインライン、ドレインラインの接続端子、ドレインラインに接続されたドレイン領域、ソース領域、ソース領域に接続された画素電極を含む形状に透明導電層を形成する工程と、透明導電層のパターンニング時のマスクを用いて第2の金属層をエッチングする工程とを含む。



## 【特許請求の範囲】

【請求項1】 (a) 絶縁基板上に、第1の金属層で形成され、少なくともゲート電極、接続端子を含む複数のゲートラインを形成する工程と、

(b) ゲート絶縁層、半導体層、第2の金属層をこの順序で含む積層を、前記複数のゲートラインを覆って、前記絶縁基板上に成膜する工程と、

(c) 前記接続端子以外の前記複数のゲートラインと、前記複数のゲートラインと交差する複数のドレインラインと、前記複数のゲートラインと前記複数のドレインラインとの交点の各々の近傍に配置され、前記ドレインラインに接続され、前記ゲート電極を跨ぐ薄膜トランジスタ領域とを含むパターンに前記積層をパターンニングする工程と、

(d) 前記複数のドレインライン、ドレインラインの接続端子、前記ドレインラインに接続された前記薄膜トランジスタのドレイン領域、前記薄膜トランジスタのソース領域、前記ソース領域に接続された画素電極を含む形状に透明導電層を形成する工程と、

(e) 前記透明導電層のパターンニング時のマスクを用いて前記第2の金属層をエッチングする工程とを含む薄膜トランジスタマトリクス製造方法。

【請求項2】 さらに、(f) 少なくともゲートラインの接続端子、ドレインラインの接続端子を露出する開口部を有する絶縁保護層を形成する工程を含む請求項1記載の薄膜トランジスタマトリクス製造方法。

【請求項3】 前記絶縁保護層が、前記薄膜トランジスタ領域および前記ドレインライン以外の領域で、かつ各薄膜トランジスタに対応してゲートラインを横断する開口を有し、さらに、

(g) 前記開口内に露出した前記半導体層をエッチングする工程を含む請求項2記載の薄膜トランジスタ製造方法。

【請求項4】 前記絶縁保護層が前記画素電極上にも開口を有する請求項3記載の薄膜トランジスタ製造方法。

【請求項5】 前記工程(a)が同時に補助容量を含む補助容量ラインも形成し、前記工程(c)が補助容量ラインも含むパターンに前記積層をパターンニングし、前記工程(f)が画素電極および画素電極外の蓄積容量ラインを露出する開口部も有する絶縁保護層を形成する請求項4に記載の薄膜トランジスタ製造方法。

【請求項6】 前記積層が前記半導体層と前記第2の金属層との間に配置されたコンタクト用低抵抗半導体層を含み、前記工程(e)が前記コンタクト用低抵抗半導体層もエッチングする請求項1～5のいずれかに記載の薄膜トランジスタ製造方法。

【請求項7】 前記工程(c)が、前記複数のドレインラインの接続端子も含むパターンに前記積層をパターンニングする請求項1～6のいずれかに記載の薄膜トランジ

スタ製造方法。

【請求項8】 (a) 絶縁基板上に、第1の金属層で形成され、少なくともゲート電極を含む複数のゲートラインを形成する工程と、

(b) ゲート絶縁層、半導体層、第2の金属層の積層を、前記複数のゲートラインを覆って、前記絶縁基板上に成膜する工程と、

(c) 前記複数のゲートラインと交差する複数のドレインラインと、前記複数のゲートラインと前記複数のドレインラインとの交点の各々の近傍に配置され、前記ドレインラインに接続され、前記ゲート電極を跨ぐ薄膜トランジスタ領域とを含むパターンに前記積層をパターンニングする工程と、

(d) 前記複数のドレインライン、ドレインラインの接続端子、前記ドレインラインに接続された前記薄膜トランジスタのドレイン領域、前記薄膜トランジスタのソース領域、前記ソース領域に接続された画素電極、ゲートラインの接続端子を含む形状に透明導電層を形成する工程と、

(e) 前記透明導電層のパターンニング時のマスクを用いて前記第2の金属層をエッチングする工程とを含む薄膜トランジスタマトリクス製造方法。

【請求項9】 透明絶縁基板上に少なくとも、複数の走査ラインとこれらに交差する複数の信号ラインと各交差部に設けられた薄膜トランジスタと画素電極とを有し、薄膜トランジスタのゲート電極が走査ラインに接続され、ドレイン電極が信号ラインに接続され、ソース電極が画素電極に接続された薄膜トランジスタマトリクスにおいて、

前記薄膜トランジスタおよびドレインラインが、絶縁層と、半導体活性層と、金属層と、透明導電層とを含む積層を含み、

少なくとも前記ドレインラインの端部最表面は透明導電層で形成されている薄膜トランジスタマトリクス。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタマトリクス製造方法と薄膜トランジスタマトリクスに関する。

【0002】薄膜トランジスタマトリクスとは、基板上に第1の配線群と第2の配線群とが互いに交差してマトリクス状に配置され、各交点に薄膜トランジスタが接続された構成を言う。

【0003】本明細書では、薄膜トランジスタのゲートが接続される配線をゲートラインと呼ぶ。薄膜トランジスタの一方の電流端子(ドレインと呼ぶ)が接続された配線をドレインラインと呼ぶことにする。薄膜トランジスタの他方の電流電極であるソースには画素電極が接続される。

【0004】

【従来の技術】液晶表示装置(LCD)においては、液晶層に制御した電圧を印加することにより、液晶層の光学的性質を変更し、所望の表示を行う。液晶層を挟持する1対の基板上に1対の電極が形成され、対向部で画素を構成する。

【0005】1対の基板上にそれぞれ複数のストライプ状電極を形成し、互いに交差させるように配置した単純マトリクスは、構造が簡単であるが、各画素に選択された電圧を印加できる時間が短い。高精細な表示を行うには種々の制限が存在する。

【0006】一方の基板上に各画素に対応して独立した画素電極を設け、スイッチング素子を介して画素電極を信号配線に接続した構成はアクティブマトリクスと呼ばれる。スイッチング素子を制御するために、信号配線と交差する走査配線がスイッチング素子の制御電極に接続される。スイッチング素子をオンにして信号配線から画素電極に所望電圧を蓄積した後、スイッチング素子をオフにすることにより各画素電極に電圧を蓄積することができる。

【0007】このため、アクティブマトリクスは高精細な表示に優れている。スイッチング素子としては電界効果トランジスタを構成する薄膜トランジスタ(TFT)が多く用いられる。薄膜トランジスタ(TFT)を構成するための半導体としては、アモルファスシリコン(a-Si)や多結晶シリコンが用いられている。

【0008】近年、ノート型パソコン、モニタ、ポケットTV、携帯用端末など様々な装置のディスプレイとしてコントラストや応答特性に優れたアクティブマトリクス型のLCDが使用されるようになってきた。しかし、表示品質に優れる特徴を持つものの、製造コスト、従って製品価格においては、スーパーツイステッドネマチック(STN)方式の単純マトリクスLCDや陰極線管(CRT)に対抗できるに至っていない。

【0009】TFTを構成するためには、少なくともチャネルを形成する半導体層、チャネルの導電度を制御する絶縁ゲート電極、電流端子を構成する1対のソース/ドレイン電極が必要である。また、TFTのオン/オフを制御し、所望の電圧を伝達するためには少なくとも2種類の配線が必要である。従って、アクティブマトリクスでは、薄膜トランジスタマトリクス(TFT基板)の製造コストが高くなる。他方の基板には、全面に共通電極を形成するので製造コストは安い。

【0010】薄膜トランジスタマトリクスの製造コストを低減するには、上述の構成要素をなるべく単純化した工程で作成することが望まれる。製造コストに大きく影響する工程はマスク工程である。従って、少ないマスク枚数で薄膜トランジスタマトリクスを製造できることが望まれる。

【0011】マスク枚数を大幅に低減させた製造プロセスも提案されている。たとえば、透明電極である画素電

極と同一材料で配線を形成すればマスク枚数を低減することができる。しかし、透明電極は通常インジウム-錫酸化物(ITO)等の酸化物で形成され、金属と比較すると抵抗率が高い。ITOで配線を形成すると配線抵抗が高くなり、大型ディスプレイ用には不適当となる。高度の表示特性を維持し、かつ製造プロセスを簡略化できることが望まれる。

【0012】TFTマトリクスには、通常周辺部に接続端子が設けられる。接続端子としては、機械的強度、腐食等に対する耐性が高い、安定な材料であるITOを使用することが望まれる場合が多い。マスク枚数を低減すると、接続端子の最表面材料としてITOを使用できなくなる場合がある。

【0013】TFTマトリクス上に、表示素子とは別にTFTを作成し、周辺回路の一部を作成することがある。このような周辺回路においては、配線層間の接続が必要となる。少ないマスク枚数で配線層間の接続も可能とするTFTマトリクスの製造方法が望まれる。

【0014】液晶を封止するセル化工程においては、静電気が発生する可能性が高い。TFTマトリクスには、静電気に対する安全対策を施すことが望まれる。少ないマスクの簡略化した製造プロセスを用い、かつ静電気に対して強い耐性を有するTFTマトリクスの製造方法が望まれる。

【0015】

【発明が解決しようとする課題】本発明の目的は、高い表示性能を有するTFTマトリクスを少ないマスク枚数で製造することのできるTFTマトリクスの製造方法を提供することである。

【0016】本発明の他の目的は、最表面をITOで形成した接続端子を製造することのできる、簡略化されたTFTマトリクスの製造方法を提供することである。

【0017】本発明のさらに他の目的は、配線層間の接続を可能とし、静電気に対する対策を構じることのできるTFTマトリクスの製造方法を提供することである。

【0018】本発明の他の目的は、新規な構成を有する薄膜トランジスタマトリクスを提供することである。

【0019】

【課題を解決するための手段】本発明の一観点によれば、(a)絶縁基板上に、第1の金属層で形成され、少なくともゲート電極、接続端子を含む複数のゲートラインを形成する工程と、(b)ゲート絶縁層、半導体層、第2の金属層をこの順序で含む積層を、前記複数のゲートラインを覆って、前記絶縁基板上に成膜する工程と、(c)前記接続端子以外の前記複数のゲートラインと、前記複数のゲートラインと交差する複数のドレインラインと、前記複数のゲートラインと前記複数のドレインラインとの交点の各々の近傍に配置され、前記ドレインラインに接続され、前記ゲート電極を跨ぐ薄膜トランジスタ領域とを含むパターンに前記積層をパターニングする

工程と、(d) 前記複数のドレインライン、ドレインラインの接続端子、前記ドレインラインに接続された前記薄膜トランジスタのドレイン領域、前記薄膜トランジスタのソース領域、前記ソース領域に接続された画素電極を含む形状に透明導電層を形成する工程と、(e) 前記透明導電層のパターニング時のマスクを用いて前記第2の金属層をエッチングする工程とを含む薄膜トランジスタマトリクス製造方法が提供される。

【0020】本発明の他の観点によれば、(a) 絶縁基板上に、第1の金属層で形成され、少なくともゲート電極を含む複数のゲートラインを形成する工程と、(b) ゲート絶縁層、半導体層、第2の金属層の積層を、前記複数のゲートラインを覆って、前記絶縁基板上に成膜する工程と、(c) 前記複数のゲートラインと交差する複数のドレインラインと、前記複数のゲートラインと前記複数のドレインラインとの交点の各々の近傍に配置され、前記ドレインラインに接続され、前記ゲート電極を跨ぐ薄膜トランジスタ領域とを含むパターンに前記積層をパターニングする工程と、(d) 前記複数のドレインライン、ドレインラインの接続端子、前記ドレインラインに接続された前記薄膜トランジスタのドレイン領域、前記薄膜トランジスタのソース領域、前記ソース領域に接続された画素電極、ゲートラインの接続端子を含む形状に透明導電層を形成する工程と、(e) 前記透明導電層のパターニング時のマスクを用いて前記第2の金属層をエッチングする工程とを含む薄膜トランジスタマトリクス製造方法が提供される。

【0021】本発明のさらに他の観点によれば、透明絶縁基板上に少なくとも、複数の走査ラインとこれらに交差する複数の信号ラインと各交差部に設けられた薄膜トランジスタと画素電極とを有し、薄膜トランジスタのゲート電極が走査ラインに接続され、ドレイン電極が信号ラインに接続され、ソース電極が画素電極に接続された薄膜トランジスタマトリクスにおいて、前記薄膜トランジスタおよびドレインラインが、絶縁層と、半導体活性層と、金属層と、透明導電層とを含む積層を含み、少なくとも前記ドレインラインの端部最表面は透明導電層で形成されている薄膜トランジスタマトリクスが提供される。

【0022】

【発明の実施の形態】以下、図面を参照して本発明の実施例を説明する。

【0023】図1は、本発明の基本的実施例による薄膜トランジスタマトリクス(TFT基板)の構成およびその製造工程を概略的に示す。図1(A)は、本発明の基本的実施例による薄膜トランジスタマトリクスの上面図であり、図1(B)は本発明の基本的実施例によるTFTマトリクスの製造方法の主要工程を説明するためのフローチャートである。

【0024】図1(A)に示すように、ガラス基板等の

絶縁基板SUBの表面上に、図中横方向にゲートラインGLが形成されている。ゲートラインGLは1本のみを図示するが、複数本のゲートラインGLが平行に配置される。ゲートラインGLと交差するように、垂直方向に複数のドレインラインDLが配置されている。ドレインラインDLは、ゲートラインGLの上に絶縁層を介して交差するように配置される。たとえば、SVGAクラスのTFTマトリクスでは、600本のゲートライン、2400本のドレインラインが並び、600×800のカラー画素を制御する。

【0025】ゲートラインGLとドレインラインDLの交点近傍には、薄膜トランジスタTFTが形成される。薄膜トランジスタTFTは、半導体層で形成されたチャネルCHとチャネルCHの両側に配置されたソース電極S、ドレイン電極D、およびチャネルCHの下にゲート絶縁層GIを介して配置されたゲート電極(ゲートラインGLと同一の層)を含む。

【0026】チャネルCHを形成する半導体層は、ソース電極S、ドレイン電極D、ドレインラインDLの下にも配置される。チャネルCHの下に配置されるゲート絶縁層は、ソース電極S、ドレイン電極D、ドレインラインDLの下にも配置され、チャネルCHとゲート電極GLとの間、およびドレインラインDLとゲートラインGLとの間の絶縁を保证する。

【0027】図示の形態においては、ゲートラインGLは接続端子部以外ゲート絶縁層GIに被覆されている。ゲートラインGL上において、チャネルCHを構成する半導体層は、薄膜トランジスタTFTを含む領域およびドレインラインDLを含む領域でのみ配置され、それ以外の領域(薄膜トランジスタTFTの両側の領域)においては除去されている。

【0028】薄膜トランジスタTFTのソース領域S、ドレイン領域DはチャネルCHと同一の半導体層、(その上に形成された低抵抗半導体層、)その上に形成された金属電極層の積層構造で形成される。ドレインラインDLも同一の積層構造で形成される。薄膜トランジスタTFTのソース領域Sは、透明導電層で形成された画素電極PXに接続されている。

【0029】なお、薄膜トランジスタTFTのドレイン領域DおよびドレインラインDLの上にも画素電極と同一の透明導電層が形成されている。これは、透明導電層のパターニング時のマスクを用いてその下に形成された金属電極層をパターニングするためである。

【0030】ゲートラインGLの端部にはゲートライン用接続端子GPが形成され、ドレインラインDLの端部にはドレインライン用接続端子DPが形成されている。ゲートライン用接続端子GPは、ゲートラインGLと同一金属層で形成された金属層上に透明導電層が積層された端子である。ドレインライン用接続端子DPは、ドレインライン用金属配線層の上に透明導電層が形成された

構成、又はドレインライン用金属層の端部に重なり、かつドレインライン用金属層の存在しない領域まで延在した透明導電層で形成されている。

【0031】図1(B)は、図1(A)に示すような薄膜トランジスタマトリクスを製造する薄膜トランジスタマトリクスの製造方法の主要工程を示すフローチャートである。

【0032】ステップS1においては、絶縁基板SUB上にゲート電極層を堆積する。ゲート電極層は、例えば厚さ約150nmのAl層と、厚さ約50nmのTi層との積層で形成される。積層に代えて、Al:Nd合金やCrなどの単層によりゲート電極層を形成してもよい。

【0033】ステップS2において、ゲート電極層上にレジストパターンを形成し、ゲート電極層をゲートラインGLの形状にパターニングする。ゲートラインGLは、絶縁基板上に複数本平行に配列されるように形成される。なお、各ゲートラインGLの端部には、接続端子を構成する幅広の領域を設ける。この状態では、絶縁基板SUBの表面上に平行に複数のゲートラインGLが形成される。ゲートラインと同時に蓄積容量ラインを形成してもよい。その後、レジストパターンは除去する。

【0034】ステップS3においては、形成されたゲートラインGLを覆うように絶縁基板SUB上にゲート絶縁層、チャンネル用高抵抗半導体層（チャンネル層と呼ぶ）、コンタクト用低抵抗半導体層（コンタクト層と呼ぶ）、ソース/ドレイン電極用金属層を順次堆積し、これらの積層構造を形成する。堆積されたチャンネル層、コンタクト層、ソース/ドレイン(S/D)電極用金属層は、ゲート絶縁層によりゲートラインGLから絶縁される。

【0035】ゲート絶縁層は、たとえば厚さ約350nmの窒化シリコン層である。チャンネル層は、たとえば厚さ約200nmのアモルファス(a-)または多結晶(poly-)シリコン層である。コンタクト層は、たとえばn型またはp型不純物がドーパされた厚さ約30nmのa-またはpoly-Si層である。S/D電極用金属層は、たとえば厚さ約150nmのCr層、または厚さ約20nmのTi層と厚さ約80nmのAl層と厚さ約80nmのTi層の積層構造である。

【0036】ステップS4においては、積層構造上にレジストパターンを形成し、S/D電極用金属層、コンタクト層、チャンネル層、ゲート絶縁層を含む積層構造をパターニングする。この段階で残る積層構造はドレインラインDL、薄膜トランジスタTFTの領域のみでなく、ゲートラインGLの接続端子以外の領域上をも覆う。その後、レジストパターンは除去する。

【0037】ステップS5においては、パターニングされた積層を覆うように絶縁基板SUB上に透明導電層であるITO層を堆積する。ITO層はたとえば厚さ80

nmである。なお、ITOのSnの一部をZnに置換したIDIXO(商品名)層を用いてもよい。

【0038】ステップS6においては、ITO層上にレジストパターンを形成し、ITO層およびその下の積層の内S/D電極用金属層、コンタクト層をエッチングによりパターニングする。この時のパターンは、画素電極PX(薄膜トランジスタTFTのソース領域Sを含む)、薄膜トランジスタTFTのドレイン領域D、ドレインラインDLを含む形状である。

【0039】ステップS4でパターニングされた積層領域の内、ステップS6でパターニング除去された領域上には、チャンネル層が残る。ゲートラインGL上のチャンネル層は、ゲートラインの電圧に応じてチャンネルを形成し、寄生TFTを誘起し、隣接する薄膜トランジスタTFT間のリークの原因となり得る。また、誘起されるチャンネルはゲートラインGLに重い容量負荷を接続する。さらに、ゲート電極で遮光されない領域には光が入射し、フォトカレントが発生し得る。フォトカレントは蓄積電荷量を変更する。

【0040】ステップS7においては、基板SUB全面上に絶縁保護層を堆積する。絶縁保護層は、たとえば厚さ300nmのシリコン窒化層で形成される。

【0041】ステップS8においては、絶縁保護層上にレジストパターンを形成し、開口部に露出した絶縁保護層およびチャンネル層を除去する。ゲートラインGL上に残されたチャンネル層の内薄膜トランジスタTFTのチャンネルCHとして機能する領域以外のチャンネル層は、なるべく除去することが望ましい。

【0042】ゲートラインGL近傍のチャンネル層を除去することにより、上述の寄生TFT、(隣接TFT間のリーク)やフォトカレントの発生が低減する。なお、ゲートラインの接続端子およびドレインライン接続端子の領域にも開口を設け、一旦形成された絶縁保護層を除去する。その後レジストパターンは除去する。

【0043】ステップS9においては、必要に応じて基板SUB表面上に平坦化層を形成し、表面を平坦化した後、ポリイミド等の配向層を形成する。配向層の表面は後の配向処理を妨げない程度に平坦にされる。

【0044】ステップS10においては、形成した配向層の表面にラビング等の配向処理を行う。このような工程により、薄膜トランジスタマトリクスが形成される。

【0045】次に、本発明のより具体的な実施例による薄膜トランジスタマトリクスの製造方法を説明する。図2は、図1(B)に示したフローチャートのステップS2後の基板の平面図、図3は、図1(B)のフローチャートのステップS4後の基板の平面図、図4は図1

(B)のフローチャートのステップS6後の基板の平面図、図5は図1(B)のフローチャートのステップS8後の基板の平面図をそれぞれ示す。

【0046】また、図6(A1)~(A4)は、図5に



示すA-A'線に沿う薄膜トランジスタの断面図を示し、図6(B1)～(B4)は、図5に示すB-B'線に沿う薄膜トランジスタとドレインラインとの接続部の基板の断面図を示す。

【0047】図7(C1)～(C4)は、図5に示す線C-C'に沿うドレインラインの断面図を示し、図7(D1)～(D4)は、D-D'線に沿うドレインラインの接続端子部分の基板の断面図を示す。図8(E1)～(E4)は、図5のE-E'線に沿うゲートラインの基板の断面図を示し、図8(F1)～(F4)は、ゲートラインの接続端子部分のF-F'線に沿う基板の断面図を示す。

【0048】また、図6～図8において、数字1を付した図は図2に対応するステップS2終了後の断面図を示し、数字2を付した図は、図3に対応するステップS4終了後の断面図を示し、数字3を付した図は、図4に対応するステップS6終了後の断面図を示し、数字4を付した図は図5に対応するステップS8終了後の断面図を示す。

【0049】先ず、ガラス基板で形成される絶縁基板SUBの上に、厚さ約150nmのAl層22と、厚さ約50nmのTi層21をスパッタリングで積層し、その上にレジストパターンを形成し、図2の形状にエッチングする。

【0050】図2において、ライン1はゲートラインを示し、ライン2は蓄積容量ラインを示す。本構成においては、蓄積容量はゲートラインと電気的に独立に形成されており、ゲートラインと平行に配置される。

【0051】図6(A1)、(B1)、図8(E1)は、それぞれゲートライン1の断面図を示す。これらは同一形状である。

【0052】図8(F1)は、接続端子部分の断面図を示す。ゲートラインのライン部よりも幅広に形成された接続端子部分が形成されている。

【0053】次に、ゲートライン、蓄積容量ラインを形成した基板表面上に、厚さ約350nmの水素を含む窒化シリコン(SiN:H)で形成されたゲート絶縁層23をプラズマCVDで形成する。その上に厚さ約200nmの水素を含むアモルファスシリコン(a-Si:H)半導体活性層24を同様プラズマCVDで積層する。その上にPがドーパされたn<sup>+</sup>型a-Si:H半導体コンタクト層25を、厚さ約30nmプラズマCVDにより積層する。さらに、コンタクト層25の上に、厚さ約150nmのCr層26をソース/ドレイン電極用金属層としてスパッタリングにより積層する。

【0054】なお、厚さ約150nmのCr層に換え、厚さ約20nmのTi層、厚さ約80nmのAl層、厚さ約80nmのTi層を順次この順序で積層してもよい。下層Ti層は、Alの拡散バリアとして機能する。中間のAl層は、主導電層として機能する。上層のTi

層は、その上に形成するITO層とのコンタクト用層である。

【0055】その後、ソース/ドレイン電極用金属層26の上にレジストパターンを形成し、図3の形状3のように積層をエッチングする。形状3は、図2で形成したゲートライン1および蓄積容量ライン2を覆い、ゲートライン1に直交するドレインラインを形成し、さらにドレインラインに連続するTFT領域を画定する。なお、ゲートラインの接続端子部分からは積層を除去する。

【0056】なお、図6(A2)、(B2)、図8(E2)は、TFT領域、TFT領域とドレインラインの接続領域、およびゲートラインの断面構造を示す。先に形成したゲートライン1を覆って、ゲート絶縁層23、半導体活性層24、半導体コンタクト層25、ソース/ドレイン電極用金属層26が積層されている。

【0057】図7(C2)は、ドレインラインの断面構造を示す。ガラス基板の上に直接積層構造が形成されている。また、図8(F2)に示すように、ゲートラインの接続端子領域では積層が形成されていない。

【0058】なお、ソース/ドレイン電極用金属層としてCr層を用いた時は、Cr層はウェットエッチングにより除去することができる。Ti/Al/Ti積層を用いた場合は、Cl<sub>2</sub>系エッチングにより除去することができる。その下の半導体層および絶縁層は、Cl<sub>2</sub>系エッチングガス、F系エッチングガスを用いたドライエッチング又はこれらの組み合わせによる多段ドライエッチングにより除去することができる。

【0059】蓄積容量領域では、先に形成した蓄積容量ライン2と、今回形成したゲート絶縁層、半導体層、電極金属層の積層により、蓄積容量の一部が形成される。

【0060】次に、積層パターンを覆って透明電極であるITO層27をスパッタリングで形成する。ITO層27は、たとえば厚さ80nmである。ITO層27の上にレジストパターンを形成し、ITO層27、ソース/ドレイン電極用金属層26、半導体コンタクト層25をエッチング除去する。

【0061】図4は、このITO層26およびその下のソース/ドレイン電極層、半導体コンタクト層25のエッチングを終了した状態の基板の平面構造を示す。ITO層27は、薄膜トランジスタTFTのソース領域を含み画素電極を形成する部分4、薄膜トランジスタのドレイン領域および接続端子部分を含むドレインラインを形成する部分5、ゲートラインの接続端子部分6に形成されている。

【0062】なお、ITO層27に覆われず、先の積層が形成されていたゲートライン上、蓄積容量ライン上の領域は、表面からITO層27、ソース/ドレイン電極金属層26、半導体コンタクト層25がエッチングにより除去され、半導体活性層24が露出した状態となる。ソース/ドレイン電極間にはチャンネルのみが残る。蓄積



容量の領域では、ストライプ状積層領域上をITO層が覆う。

【0063】図6(A3)は、薄膜トランジスタ部分の断面構造を示す。ITO層27は、ソース領域、ドレイン領域を覆い、その間にギャップを形成している。このギャップ領域においては、ソース/ドレイン電極金属層26および半導体コンタクト層25が除去され、半導体活性層24から形成されたチャネル領域24'が形成されている。

【0064】図6(B3)は、薄膜トランジスタ領域とドレインラインとの間の接続領域での断面構造を示す。この領域においては、ゲートライン上のソース/ドレイン金属層26および半導体コンタクト層25が除去され、半導体活性層24'が露出している。その側部には、薄膜トランジスタのドレインをドレインラインに接続するためのITO層27で覆われた部分が残し、その下にソース/ドレイン金属層26および半導体コンタクト層25が残る。

【0065】図7(C3)に示すように、ドレインラインはITO層27によって覆われる。また、図8(E3)に示すように、ゲートラインはゲート絶縁層23によって覆われ、その上に半導体活性層24'が残る。

【0066】図7(D3)に示すように、ドレインラインの接続端子領域には、ガラス基板上に直接ITO層27が形成される。また、図8(F3)に示すように、ゲートラインの接続端子領域においては、A1層22とTi21の積層の上に、ITO層27が形成される。従って、接続端子領域において最表面は共にITO層となる。

【0067】図4の状態では薄膜トランジスタマトリクスを動作させることもできるが、薄膜トランジスタ領域に隣接するゲートライン、画素電極に隣接する蓄積容量ライン上にも半導体活性層24'が残っている。この半導体活性層は、寄生TFETの原因となり、隣接するTFET間のリーク電流の原因となる。また、フォトカレントの原因となる。

【0068】次に、基板全面上にSiN:Hで形成された絶縁保護層28を厚さ約300nmプラズマCVDにより形成する。この絶縁保護層28の上にレジスト層を形成し、図5に示す薄膜トランジスタの両側のゲートラインを横断する領域7、9、画素電極と蓄積容量ラインを横断する領域8、および接続端子領域10、11に開口を有するレジストパターンを形成する。開口部を介して、絶縁保護層28および半導体活性層24'をエッチングで除去する。その後、レジストパターンは除去する。

【0069】図5は、エッチングを終了した状態の基板表面を示す。TFET領域両側にゲートライン上の半導体活性層を横断する開口7、9が形成され、この領域に存在した半導体活性層24'が除去される。又、接続端子

領域においては、開口10、11内に露出された、接続端子上の絶縁保護層が除去される。

【0070】画素電極上の広い領域に開口部8が形成され、画素電極上の絶縁保護層が除去される。開口部8は、蓄積容量ライン上の半導体活性層を横断する領域を有し、この領域では絶縁保護層と半導体活性層とが除去される。

【0071】図6(A4)は、TFET領域の断面構造を示す。チャネルを形成する半導体活性層24'の表面が絶縁保護層28で覆われ、チャネルが保護される。また、TFETと隣接する画素の透明電極との間にも絶縁保護層28が形成され、絶縁を確実なものとする。

【0072】図6(B4)および図8(E4)に示すように、ゲートライン上所定領域においては残留していた半導体活性層24'が除去され、寄生TFETによるリーク電流やフォトカレントの発生が防止される。蓄積ライン上の領域も同様である。

【0073】図7(C4)に示すように、ドレインラインは絶縁保護層28で覆われる。図7(D4)、図8(F4)に示すように、接続端子領域では絶縁保護層28に開口が設けられ、ITO層27が露出する。

【0074】このようにして、4枚のマスクを用い、薄膜トランジスタマトリクスを製造することができる。走査信号が供給されるゲートライン(走査ライン)は、第1のレベルの配線層である金属層21、22で形成され、十分低抵抗にされる。信号が伝達するドレインライン(信号ライン)は、第2レベルの配線層である低抵抗の半導体コンタクト層およびソース/ドレイン電極用金属層の積層を含み、やはり低抵抗にされる。

【0075】隣接するTFET間のゲートライン上および蓄積容量ライン上では、少なくとも一部半導体活性層が除去されており、TFET間の寄生TFETによるリーク電流、フォトカレントの発生が防止される。接続端子領域では、ITOを最表面とする接続端子が形成される。

【0076】ITO層を形成するステップS5の状態では、図4等に示すように、ゲートライン(第1レベル配線層)の所望領域は露出した状態にすることができる。従って、積層構造(第2レベル配線層)表面と、ゲートラインと同一配線層で形成した金属層(第1レベル配線)とをITO層によって電気的に接続することができ、層間接続を行うことができる。

【0077】図9は、薄膜トランジスタマトリクスの製造工程により、ITO層を利用して形成することのできる他の回路素子を示す等価回路図である。

【0078】図9(A)は、ゲートラインと同一の金属層で形成されたゲートラインGLの束ね配線31と、ドレインラインと同一の積層で形成したドレインラインDLの束ね配線32とをITOで形成した抵抗Rで接続する回路を示す。このような抵抗Rを束ね配線31、32と共に形成すれば、層間の短絡状態等を容易に検出すこ

とができる。

【0079】例えば、抵抗Rの抵抗値を数100kΩに設定し、ゲートラインGLとド레인ラインDL間の抵抗を測定する。層間短絡が無い場合には、数100kΩの抵抗Rのみが検出される。層間短絡がある場合には、抵抗Rよりも著しく低い抵抗値が検出される。

【0080】図9(B)は、トランジスタTr1とTr2との抱き合わせ回路を示す。トランジスタTr1のソース/ド레인電極がトランジスタTr2のゲート電極に接続され、トランジスタTr1のゲート電極がトランジスタTr2のソース/ド레인電極に接続されている。また、トランジスタTr1のゲートとソース/ド레인間も接続され、トランジスタTr2のゲートとソース/ド레인間も接続されている。

【0081】これらの配線は、上述のITO層により形成することができる。トランジスタTr1、Tr2は、スイッチング素子TFTと同一の工程で作成することができる。

【0082】このトランジスタの抱き合わせ回路は、図9(A)の抵抗Rの代わりに用いることができる。配線31と32間の電位差の絶対値が一定値以上になった場合に電流を流す。従って、このトランジスタの抱き合わせ回路により、ゲートライン、ド레인ライン間の短絡を検出することができる。

【0083】なお、図9に示した回路の他、種々の回路を表示領域外に形成したTFTと層間接続が可能なITO層を用いて形成することができることは当業者に自明であろう。

【0084】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、ゲートライン、ド레인ラインの接続端子を共にITO単層で形成することもできる。また、接続端子を共に下層導電層とその上に形成されたITO層の積層で形成することもできる。

【0085】薄膜トランジスタがゲートラインを横断して形成される構成を示したが、ゲートラインからゲート電極が分岐し、この分岐したゲート電極を跨るように薄膜トランジスタを形成することもできる。その他種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0086】

【発明の効果】以上説明したように、本発明によれば、

高性能の薄膜トランジスタマトリクスを簡略化した工程で製造することができる。

【0087】配線層の層間接続が可能のため、種々の回路素子を形成することができる。

【図面の簡単な説明】

【図1】本発明の基本的実施例を示す基板の平面図およびフローチャートである。

【図2】本発明の実施例による薄膜トランジスタマトリクスの製造方法を説明するための基板の平面図である。

【図3】本発明の実施例による薄膜トランジスタマトリクスの製造方法を説明するための基板の平面図である。

【図4】本発明の実施例による薄膜トランジスタマトリクスの製造方法を説明するための基板の平面図である。

【図5】本発明の実施例による薄膜トランジスタマトリクスの製造方法を説明するための基板の平面図である。

【図6】本発明の実施例による薄膜トランジスタマトリクスの製造方法を説明するための基板の断面図である。

【図7】本発明の実施例による薄膜トランジスタマトリクスの製造方法を説明するための基板の断面図である。

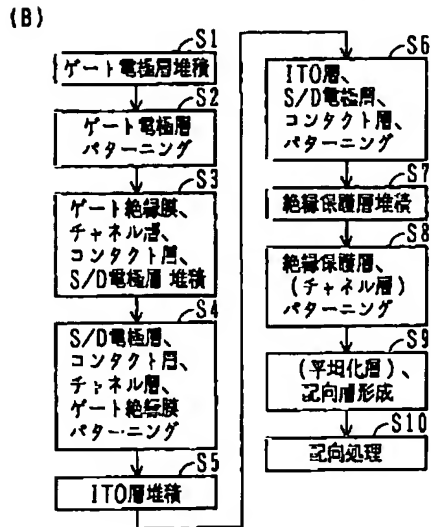
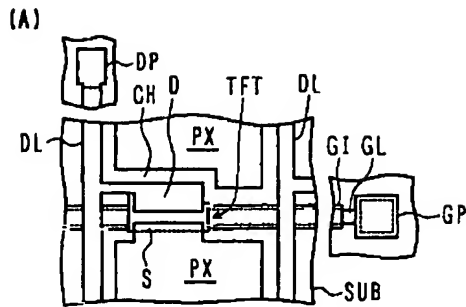
【図8】本発明の実施例による薄膜トランジスタマトリクスの製造方法を説明するための基板の断面図である。

【図9】本発明の実施例により製造することのできる他の回路要素の例を示す等価回路図である。

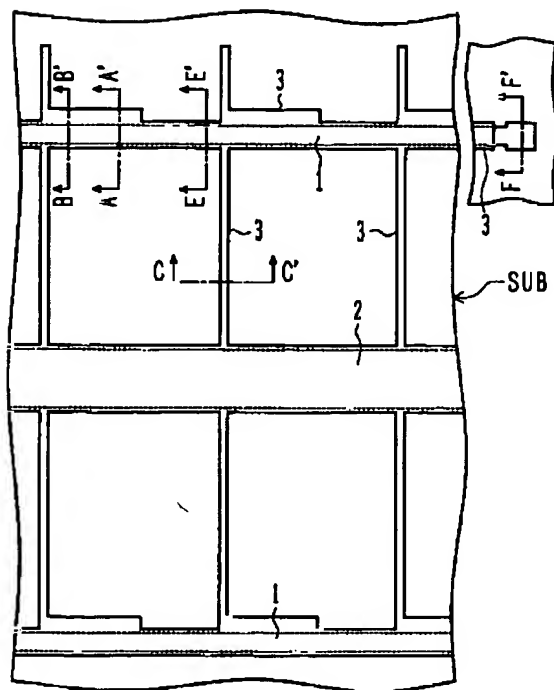
【符号の説明】

SUB	基板
DL	ド레인ライン
GL	ゲートライン
GI	ゲート絶縁層
DP	ド레인ラインの接続端子
GP	ゲートラインの接続端子
PX	画素電極
S	ソース領域
D	ド레인領域
CH	チャネル
21	Ti層
22	Al層
23	ゲート絶縁層(SiN:H)層
24	半導体活性層(a-Si層)
25	半導体コンタクト層(n <sup>+</sup> 型a-Si層)
26	ソース/ド레인電極用金属層
27	ITO層
28	絶縁保護層

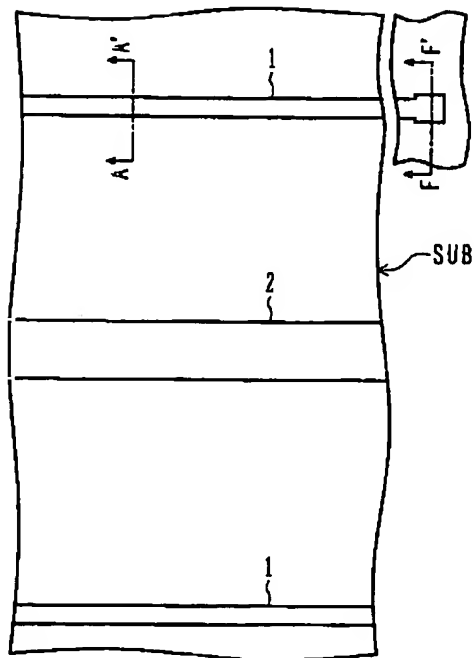
【図1】



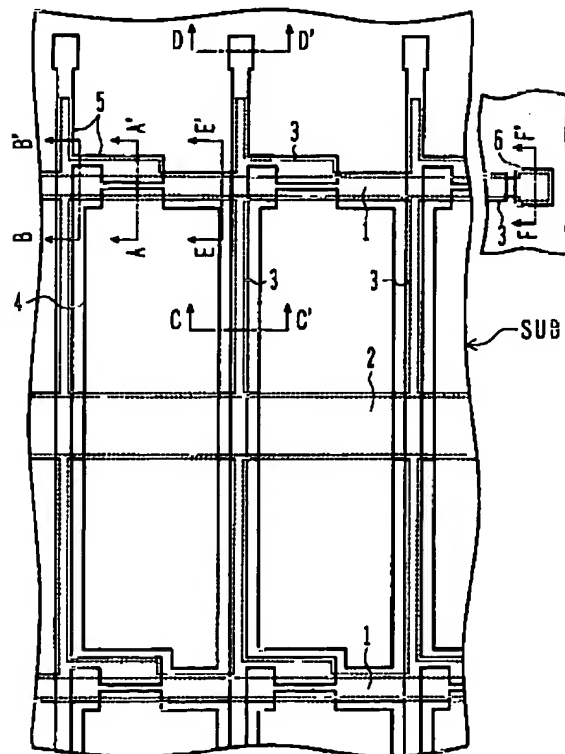
【図3】



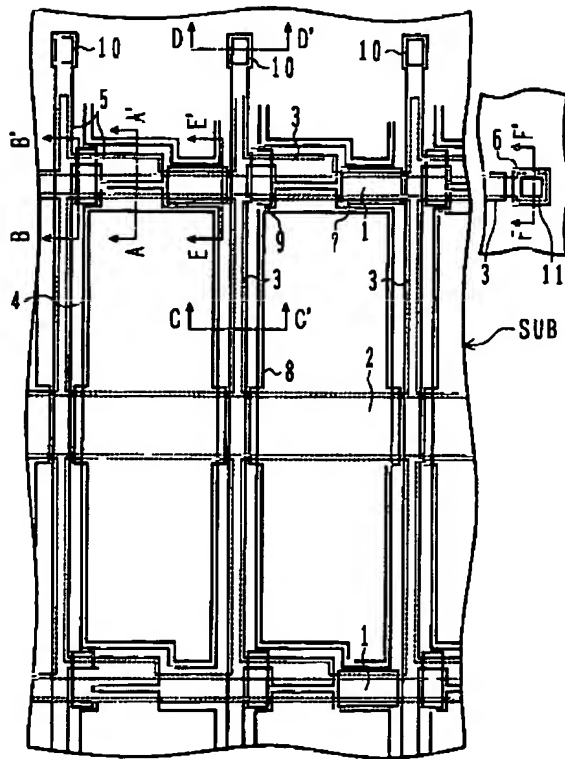
【図2】



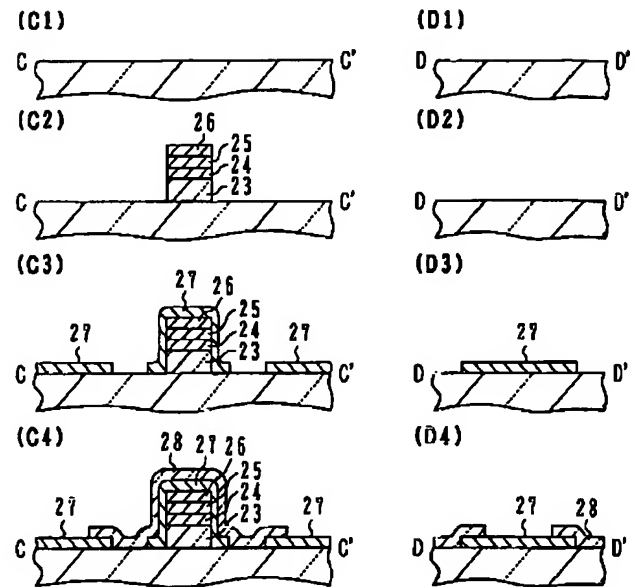
【図4】



【図5】

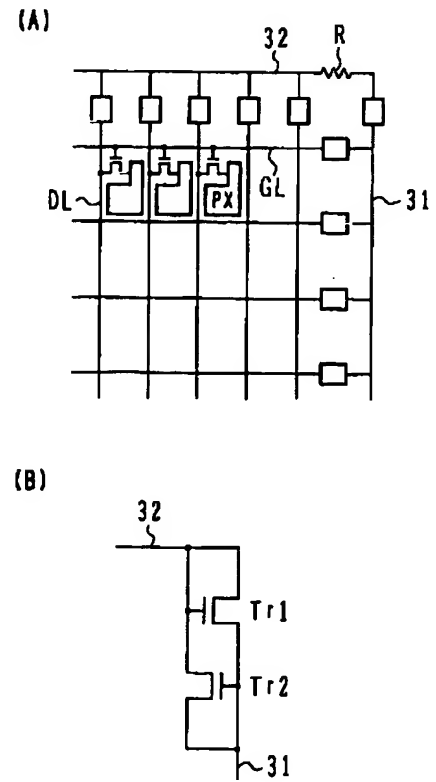
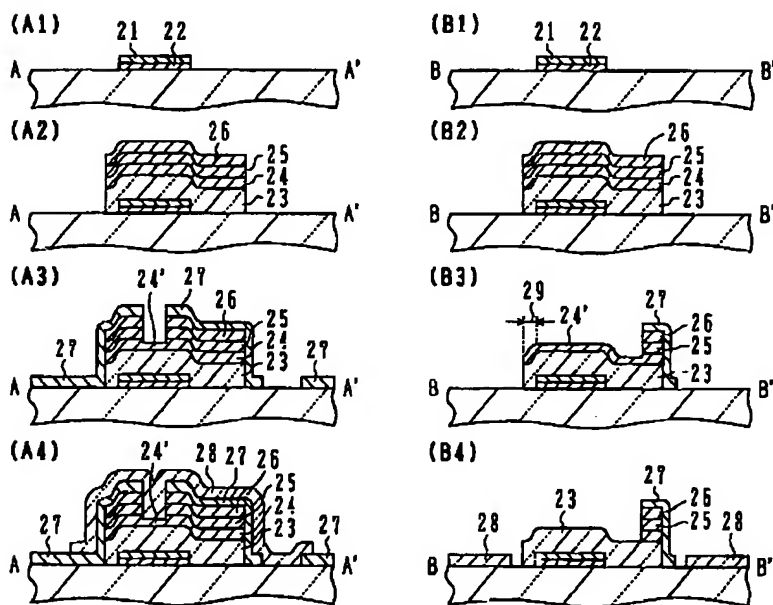


【図7】

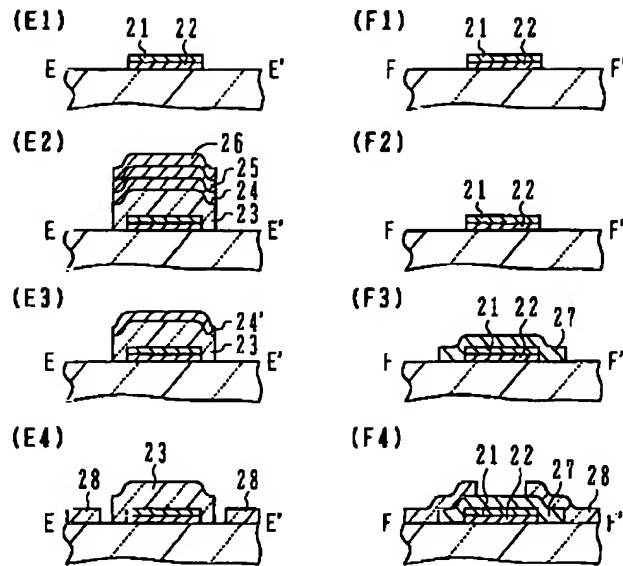


【図9】

【図6】



【図8】



フロントページの続き

(72)発明者 廣田 四郎  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 間島 庭司  
鳥取県米子市石州府字大塚ノ式650番地  
株式会社米子富士通内  
(72)発明者 助則 英智  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

F ターム(参考) 2H092 GA42 HA28 JA26 JA33 JA35  
JA39 JA40 JA43 JB57 JB69  
KA05 KA12 KA18 KB24 MA05  
MA08 MA17 MA27 MA37 NA14  
NA27 PA02  
5C094 AA21 AA43 BA03 BA43 DB01  
DB04 EA04 GB01  
5F110 BB01 CC07 DD02 EE04 EE06  
EE14 EE44 FF03 GG02 GG13  
GG15 GG24 GG45 HK03 HK04  
HK09 HK14 HK16 HK22 HK25  
HK33 HK35 NN02 NN24 NN35  
NN72 QQ04